

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2000-164970
 (43) Date of publication of application : 16.06.2000

(51) Int. Cl. H01S 5/042
 H01S 5/022
 G02B 6/42

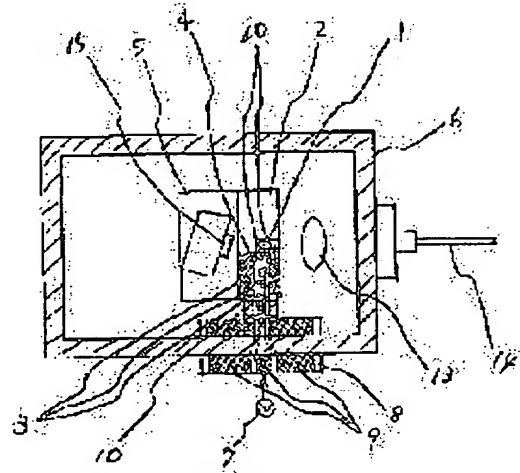
(21) Application number : 10-340740 (71) Applicant : KYOCERA CORP
 (22) Date of filing : 30.11.1998 (72) Inventor : TANAKA TSUYOSHI

(54) OPTICAL ELEMENT MODULE

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce parasitic inductance on a signal propagation path which reaches a semiconductor laser by forming coplanar lines at signal inputs of first and second boards, thereby constituting an optical element module.

SOLUTION: A first coplanar line 3, metallized so as to provide an input impedance of 50 Ω , is formed on a first aluminum nitride board 2, a thin film resistance 4 for impedance matching with a semiconductor laser 1 is formed along the way of a center conductor for propagating input signals on this coplanar line 3, second coplanar lines 9 are formed on a lead-side second ceramic board 8 which forms outer terminals of a package 6, and the first and second coplanar lines 3, 9 are interconnected through a flexible wiring board 10 having coplanar lines, thus constituting an optical element module.



LEGAL STATUS

[Date of request for examination] 29.07.2002
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-164970

(P2000-164970A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) IntCl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 S 5/042

H 0 1 S 3/18

6 2 2

2 H 0 3 7

5/022

6 1 2

5 F 0 7 3

G 0 2 B 6/42

G 0 2 B 6/42

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号

特願平10-340740

(22) 出願日

平成10年11月30日 (1998. 11. 30)

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田鳥羽段町 6 番地

(72) 発明者 田中 強

長野県岡谷市長地2800番地 京セラ株式会

社長岡谷工場内

Fターム(参考) 2H037 AA01 BA03

5F073 AB27 AB28 BA02 EA14 FA04

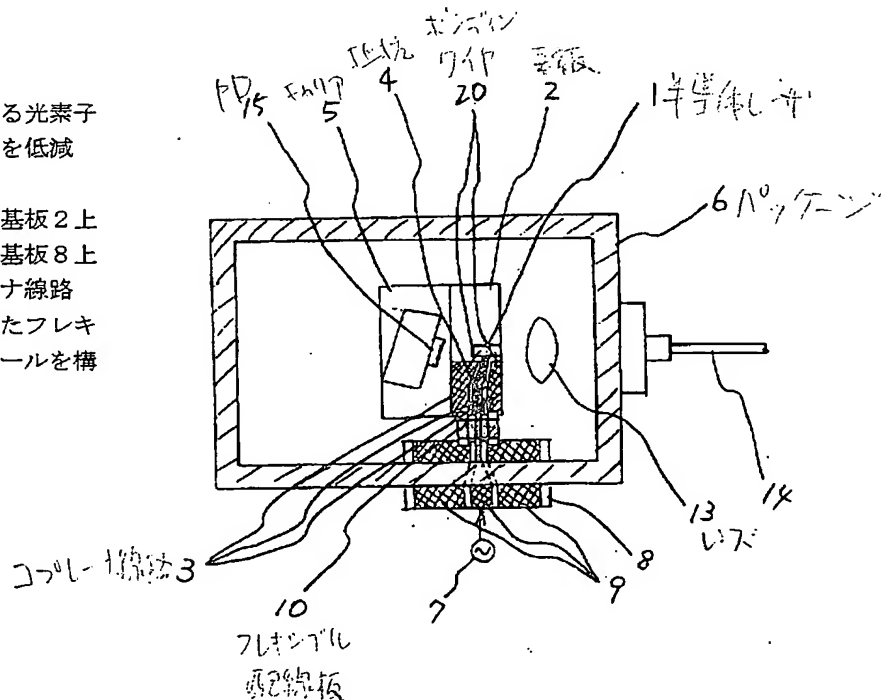
FA15 FA18 FA25 FA28

(54) 【発明の名称】 光素子モジュール

(57) 【要約】

【課題】 ギガビット帯の高速変調下で使用される光素子モジュールの入力信号線路上のインダクタンスを低減し、より広帯域化する事を目的とする。

【解決手段】 半導体レーザ1を搭載した第1の基板2上及びパッケージ6の外部端子を形成する第2の基板8上にコプレーナ線路3、9を形成し、各コプレーナ線路3、9間を、同じくコプレーナ線路が形成されたフレキシブル配線板10により接続して光素子モジュールを構成する。



【特許請求の範囲】

【請求項1】半導体レーザや外部変調器チップ等の光素子をパッケージ内に備え、この光素子に光信号を入出力するための光ファイバを備えた光素子モジュールにおいて、上記光素子を搭載固定する第1の基板と、外部端子を形成する第2の基板とを備え、これら第1、第2の基板の電気信号入出力部にコプレーナ線路を形成したことを特徴とする光素子モジュール。

【請求項2】上記第1の基板と第2の基板の互いのコプレーナ線路間をフレキシブル配線板により接続したことを特徴とする請求項1記載の光素子モジュール。

【請求項3】上記フレキシブル配線板がコプレーナ線路を形成していることを特徴とする請求項2記載の光素子モジュール。

【請求項4】上記第1の基板上のコプレーナ線路の入力信号伝搬路中に、インピーダンス整合用薄膜抵抗を形成したことを特徴とする請求項1、2又は3記載の光素子モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光通信用半導体レーザモジュール、外部変調器モジュール等の光素子モジュールに関わり、特にギガビット帯の高速変調下で使用する広帯域光素子モジュールに関する。

【0002】

【従来の技術】従来より光通信の分野で光信号と電気信号を変換するための光素子モジュールが使用されている。

【0003】例えば光素子が半導体レーザである半導体レーザモジュールの場合の一例を図6により説明する（特許第2616469号公報参照）。パッケージ6内に収納された半導体レーザ1から出射されるレーザ光はレンズ13により集光され、その光軸に軸心を一致させた光ファイバ14と結合される。

【0004】半導体レーザ1は、セラミック材等から成る第1の基板2に形成された金属から成る第1のマイクロストリップ線路16上に信号伝搬方向と光出射方向が一致するよう載置され、第1の基板2は金属板等からなるキャリア5上に、またキャリア5は図示しない熱電子冷却素子上に搭載されている。第1のマイクロストリップ線路16の長さを調節する事で、パッケージ6内の半導体レーザ1の位置を自由に設定している。

【0005】また、パッケージ6の外部端子を形成する為のセラミック材から成る第2の基板8上に第2のマイクロストリップ線路17が形成され、第1のマイクロストリップ線路16と第1のボンディングワイヤ18により接続されている。第2のマイクロストリップ線路17の途中には、半導体レーザ1とのインピーダンス整合用チップ抵抗19が載置されている。図示しない変調回路から供給される変調信号7は、第2のマイクロストリッ

プ線路17、チップ抵抗19、第1のボンディングワイヤ18及び第1のマイクロストリップ線路16を介し、半導体レーザ1に達する。半導体レーザ1の上面には、もう一方の電極パターンが形成されており、ケースグラウンドへ接地するための中継点としてキャリア5へ第2のボンディングワイヤ20により接続されている。

【0006】半導体レーザ1のレンズ13と対抗する側には、半導体レーザ1の後方出射光をモニタするモニタ用フォトダイオード15が配置されている。この図では、パッケージ6に植設された他の外部端子や、これらの外部端子に接続された（キャリア5からケースグラウンドへの接続等）パッケージ6内の他の回路部分は煩雑さを避けるため、図示していない。

【0007】図7に前記信号伝搬路を簡易的に表した等価回路図を示しており、半導体レーザ1を所定の電気信号で駆動することにより変調された信号光を得ることができる。

【0008】ここで、第1のボンディングワイヤ18及び第2のボンディングワイヤ20は、長さ1mmで約1nHのインダクタンスとして表される。インダクタンス値は、ボンディングワイヤ18、20の長さに比例し、ワイヤ本数に反比例する。ギガビット帯の高速変調下で使用される半導体レーザモジュールにおいては、半導体レーザ駆動回路と半導体レーザの間の電気的な接続における損失や反射を抑える必要があり、信号伝搬路上のインダクタンスを最小としなければならない為、一般にボンディングワイヤ長を最短とし、かつ複数本ボンディングする事でインダクタンスの低減を実現している。

【0009】

【発明が解決しようとする課題】前記従来技術では、信号伝搬路上にボンディングワイヤ18、20が配線されている為、ボンディングワイヤ18、20が有する寄生インダクタンスにより、変調信号の反射や損失が生じ、半導体レーザモジュールの変調周波数において帯域制限を受けていた。

【0010】また、第1のマイクロストリップ線路16は、半導体レーザ1とモニタ用フォトダイオード15の間に設定されており、十分なフォトダイオード15の受信感度を得るために、現実にはその距離を1mm以下に設定する必要がある。そのため、第1のマイクロストリップ線路17へのワイヤボンディングが困難であった。

【0011】その他、半導体レーザ1とのインピーダンス整合をとるための整合用抵抗をパッケージ6内に収納する場合、前記の通り第1のマイクロストリップ線路16は距離が短い為、薄膜により形成する手段によっても、その途中への載置は不可能であり、第2のマイクロストリップ線路17の途中にチップ型抵抗19をはんだ等の手段により載置する必要があった。チップ抵抗のはんだ付け部は、電気的な反射の原因となりやすいという問題があった。

【0012】本発明の目的は、上記従来技術の問題点を解消する事にあり、半導体レーザまでの信号伝搬路上の寄生インダクタンスを低減し、広帯域な半導体レーザモジュールあるいは光素子モジュールを提供する事にある。

【0013】

【課題を解決するための手段】本発明はパッケージ内に配置した半導体レーザや外部変調器チップ等の光素子を搭載固定する第1の基板と、外部端子を形成する第2の基板とを備え、これら第1、第2の基板の信号入出力部にコプレーナ線路を形成して光素子モジュールを構成したことを特徴とする。

【0014】また、本発明は上記第1の基板と第2の基板の互いのコプレーナ線路間をコプレーナ線路を形成したフレキシブル配線板により接続したことを特徴とする。

【0015】即ち、第1と第2のマイクロストリップ線路に代わりコプレーナ線路を形成し、ボンディングワイヤの代わりにコプレーナ線路を形成したフレキシブル配線板により接続することで上記目的が達成される。コプレーナ線路は、入力信号ラインである中心導体幅の形成に自由度を有する上、直線に限定されない。また、コプレーナ線路を形成したフレキシブル配線板は、インダクタンスとみなされず、電気的な反射や損失を受けない。更にコプレーナ線路の途中にインピーダンス整合用抵抗を薄膜により形成する事で、チップ抵抗のはんだ付け部の電気的反射を抑制し、光素子モジュールの周波数帯域幅を向上させることができる。

【0016】

【作用】第1と第2の基板上にコプレーナ線路を形成し、各コプレーナ線路間を同じくコプレーナ線路を形成したフレキシブル配線板により接続し、第1のコプレーナ線路の入力信号伝搬路途中にインピーダンス整合用薄膜抵抗を形成することで、信号伝搬路上の寄生インダクタンスを低減する事ができ、電気的な反射や損失を受けず、光素子モジュールの小信号周波数応答特性が改善し、帯域幅を向上させることができる。

【0017】

【発明の実施の形態】以下、本発明の一実施例を図1により説明する。

【0018】図1は、光素子が半導体レーザである本発明の半導体レーザモジュールの構成を示す平面図である。図6と同一部分には同一の符号を付してある。

【0019】窒化アルミニウム材により形成された第1の基板2上にメタライズにより入力インピーダンスが50Ωとなる第1のコプレーナ線路3が形成されている。第1のコプレーナ線路3の入力信号が伝搬される中心導体の途中には、半導体レーザ1とのインピーダンス整合用の薄膜抵抗4が形成されている。半導体レーザ1は第1のコプレーナ線路3の中心導体の終端となる部分上に

搭載固定されている。

【0020】第1の基板2は、銅ダングステン材等の導電性材料からなるキャリア5上に、はんだ付等の手段により搭載固定され、図示しない半導体レーザ1の温度制御用熱電子冷却素子上に搭載され、パッケージ6内に収容固定される。

【0021】パッケージ6は、変調速度10Gb/sで使用される半導体レーザモジュールのリード形成にセラミック基板を用いた14ピンバタフライ形パッケージである。変調信号7が入力されるリード側のセラミック基板である第2の基板8上には、第2のコプレーナ線路9が形成され、第1のコプレーナ線路3と第2のコプレーナ線路9間は、同じくコプレーナ線路が形成されたフレキシブル配線板10により接続されている。

【0022】また、上記半導体レーザ1から出射される光信号はレンズ13で集光され、光ファイバ14から導出され、半導体レーザ1からの後方出射光をモニタするモニタ用フォトダイオード15が配置されている。

【0023】図2にフレキシブル配線板10の詳細を示す。20μm以下の厚みからなる3枚の銅箔11は、変調信号7が通る中心銅箔の幅と、ケースグランドに設置される両サイドの銅箔との間隔が、インピーダンス50Ωとなるような寸法に設定され、ポリイミド系樹脂から成る絶縁体12により固定、形成されている。銅箔11の両端は、はんだ付け等による接続が可能となるようわずかに露出している。なお、銅箔11の代わりに金箔により形成し、熱圧着等による手段で接続しても良い。

【0024】フレキシブル配線板10は、薄くて柔らかく、屈曲性が良いため、作業性においても、ワイヤボンディングに劣らない。

【0025】変調信号7は、入力インピーダンスが50Ωに設定された第2のコプレーナ線路9の中心導体、フレキシブル配線板10の中心導体、第1のコプレーナ線路3の中心導体及び薄膜抵抗4を介し、半導体レーザ1に至る。半導体レーザ1のp側は、第1のコプレーナ線路3の両サイドのグランド(COM)パターンにボンディングワイヤ20により接続され、ケースグランドに接地されている。

【0026】ここで、図3に従来のモジュールで用いられるマイクロストリップ線路基板の断面図、図4に本発明で用いるコプレーナ線路基板の断面図を示す。図3に示すマイクロストリップ線路基板の場合、その特性インピーダンスは基板の厚みH、比誘電率εr、及び線路幅Wで決定される。一般に基板厚みHは一定である為、線路幅も一定とする必要がある。

【0027】これに対し、図4のコプレーナ線路基板の場合、中心導体幅W、接地導体(グランドパターン)までの間隔Gの比、ならびに基板の比誘電率εrで決まる。従って、中心導体幅Wを同一基板上で自由に設定する事が可能であり、図1の第1のコプレーナ線路3及び

第2のコプレーナ線路9に示すように、半導体レーザ1に至るまで直線とする必要がない上、コプレーナ線路を形成したフレキシブル配線板10による接続も可能となる。

【0028】図5に本実施例による信号伝搬路を簡易的に表した等価回路図を示すように、図7の従来例で示したようなボンディングワイヤ18、20が有する寄生インダクタンスの影響を受けないことがわかる。

【0029】半導体レーザモジュールの小信号周波数応答特性における帯域幅は、インダクタンス値に反比例するため、本実施例のようにインダクタンスを低減したことにより、従来例で3dB帯域幅が25GHzであったのに対し、28GHzに帯域幅が改善され、広帯域化することができる。また、フォトダイオード付近でのワイヤボンディングがなく、作業性を良くすることができる。

【0030】なお上記の例では、光素子として半導体レーザ1を用いたが、これ以外に外部変調器チップなどの光素子を用いて光素子モジュールを構成することもできる。

【0031】

【発明の効果】本発明によれば、パッケージ内に配置した半導体レーザや外部変調器チップ等の光素子を搭載固定する第1の基板と、外部端子を形成する第2の基板とを備え、これら第1、第2の基板の信号入出力部にコプレーナ線路を形成して光素子モジュールを構成したことによって、入力信号伝搬路上の寄生インダクタンスを低減でき、光素子モジュールの帯域幅が改善され、広帯域化する。

【図面の簡単な説明】

【図1】本発明の光素子モジュールの構成を示す平面図である。

【図2】本発明の光素子モジュールに用いるフレキシブル配線基板を示し、(a)は平面図、(b)は端面図である。

【図3】マイクロストリップ線路基板の断面図である。

【図4】コプレーナ線路基板の断面図である。

【図5】本発明の光素子モジュールの信号伝搬路を簡易的に表した等価回路図である。

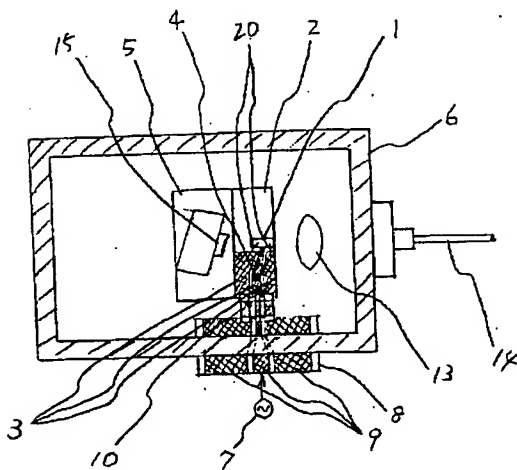
【図6】従来例の光素子モジュールの構成を示す平面図である。

【図7】従来例の光素子モジュールの信号伝搬路を簡易的に表した等価回路図である。

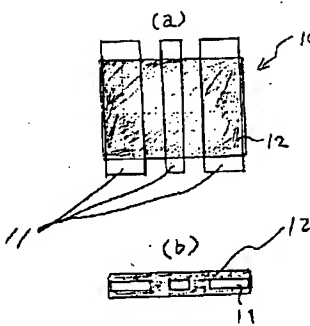
【符号の説明】

- 1：半導体レーザ
- 2：第1の基板
- 3：コプレーナ線路
- 4：薄膜抵抗
- 5：キャリア
- 6：パッケージ
- 7：変調信号
- 8：第2の基板
- 9：コプレーナ線路
- 10：フレキシブル配線板
- 11：銅箔
- 12：絶縁体
- 13：レンズ
- 14：光ファイバ
- 15：フォトダイオード

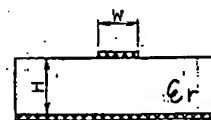
【図1】



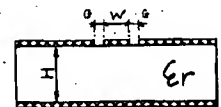
【図2】



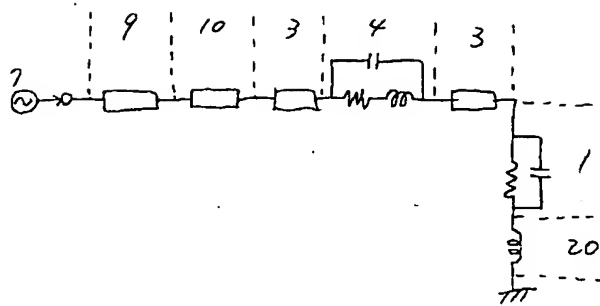
【図3】



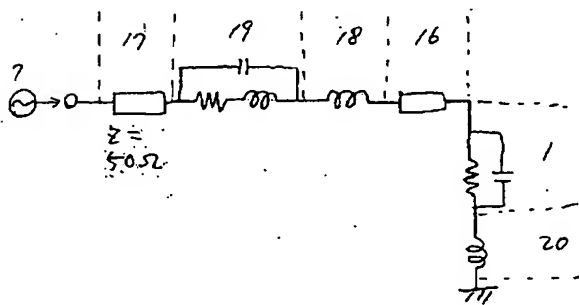
【図4】



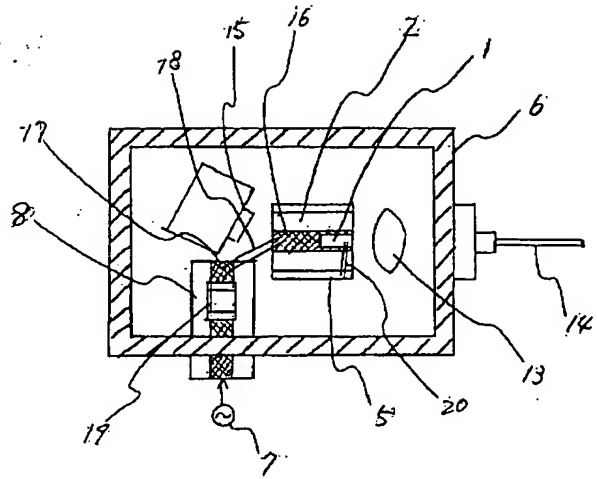
【図5】



【図7】



【図6】



THIS PAGE BLANK (USPTO)